



(19)

(11) Publication number: 04045578A

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 02154620

(51) Int'l. Cl.: H01L 29/44

(22) Application date: 12.06.90

(30) Priority:

(43) Date of application publication: 14.02.92

(84) Designated contracting states:

(71) Applicant: MITSUBISHI ELECTRIC CORP

(72) Inventor: TERAJIMA TOMOHIDE

(74) Representative:

JC841 U.S. PTO  
09/736230  
12/15/00



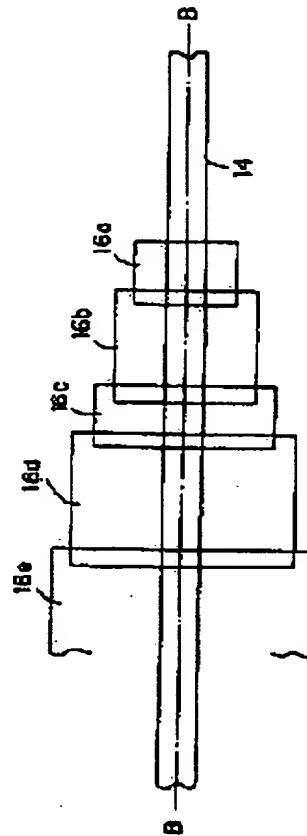
### (54) FIELD CONCENTRATION PREVENTING STRUCTURE IN SEMICONDUCTOR DEVICE

#### (57) Abstract:

**PURPOSE:** To prevent generation of field concentration on a surface of a semiconductor layer even if an insulating layer of an ordinary thickness is used by arranging conductive plates in a row so that mutual combination capacity of adjacent ones reduces as they are far from a first semiconductor region.

**CONSTITUTION:** A first conductivity type semiconductor layer, a first semiconductor region of second conductivity type and a second semiconductor region of first conductivity type formed isolatedly on a surface thereof, a conductive layer 14 in contact with the second semiconductor region extending above the first semiconductor region, an insulating layer 15 formed among the conductive layer 14, the semiconductor layer and the first semiconductor region, and a plurality of conductive plates 16a to 16e which are arranged in a row so that mutual combination capacity of adjacent ones reduces as they are far from the first semiconductor region are provided. It is thereby possible to prevent field concentration on a surface of a semiconductor immediately below a conductive layer even if the insulating layer 15 of an ordinary thickness is used.

**COPYRIGHT:** (C)1992,JPO&Japio



(19) 日本国特許庁 (JP)

(12) 特許公報 (B2)

(11) 特許番号

第2556175号

(24) 登録日 平成8年(1996)9月5日

(45) 発行日 平成8年(1996)11月20日

(51) Int. C16

H01L 29/41

識別記号

府内整理番号 F I

技術表示箇所

H01L 29/44

E

請求項の数 6 (全 13 頁)

(21) 出願番号 特願平2-154620

(22) 出願日 平成2年(1990)6月12日

(65) 公開番号 特開平4-45578

(43) 公開日 平成4年(1992)2月14日

(73) 特許権者 99999999

三菱電機株式会社

東京都千代田区丸の内2丁目2番3号

(72) 発明者 寺島 知秀

福岡県福岡市西区今宿東1丁目1番1号

三菱電機株式会社福岡製作所内

(74) 代理人 弁理士 宮田 金雄 (外3名)

審査官 國島 明弘

(56) 参考文献 特開昭63-164362 (JP, A)

特公平7-83048 (JP, B2)

(54) 【発明の名称】 半導体装置における電界集中防止構造

(57) 【特許請求の範囲】

【請求項1】 第1導電型の半導体層と、

前記半導体層の表面に形成された第2導電型の第1半導体領域と、

前記半導体層の表面に前記第1半導体領域と分離して形成された第1導電型の第2半導体領域と、

前記第2半導体領域上に接触しかつ前記第1半導体領域上方へと延設された導電層と、

前記導電層と前記半導体層ならびに前記第1半導体領域との間に形成された絶縁層と、

前記導電層直下の前記絶縁層中に、前記第1半導体領域に面する位置から前記第2半導体領域の方向に向って、隣接するもの相互の結合容量が前記第1半導体領域から離れるに従って減少するように整列配置された複数の導電プレートとを備える、半導体装置における電界集中防

止構造。

【請求項2】 第1導電型の半導体層と、

前記半導体層の表面に形成された第2導電型の第1半導体領域と、

前記半導体層の表面に前記第1半導体領域と分離して形成された第1導電型の第2半導体領域と、

前記第2半導体領域上に接触しかつ前記第1半導体領域上方へと延設された導電層と、

前記導電層と前記半導体層ならびに前記第1半導体領域との間に形成された絶縁層と、

前記導電層直下の前記半導体層表面に、前記第1半導体領域近傍から前記第2半導体領域の方向に向って、隣接するもの相互の結合容量が前記第1半導体領域から離れるに従って減少するように整列配置された複数の第2導電型のフローティング半導体領域とを備える、半導体装

置における電界集中防止構造。

【請求項3】第1導電型の半導体層と、前記半導体層の表面に形成された第2導電型の第1半導体領域と、前記半導体層の表面に前記第1半導体領域と分離して形成された第1導電型の第2半導体領域と、前記第2半導体領域上に接触しかつ前記第1半導体領域上方へと延設された導電層と、前記導電層と前記半導体層ならびに前記第1半導体領域との間に形成された絶縁層と、前記導電層直下の前記絶縁層中に形成された少なくとも1つの導電プレートと、前記導電層直下の前記半導体層中に形成された少なくとも1つの第2導電型のフローティング半導体領域とを備え、前記導電プレートおよび前記フローティング半導体領域は、前記第1半導体領域近傍から前記第2半導体領域の方向に向って、隣接するもの相互の結合容量が前記第1半導体領域から離れるに従って減少するように交互に整列配置される、半導体装置における電界集中防止構造。

【請求項4】第1導電型の半導体層と、前記半導体層の表面に形成された第2導電型の第1半導体領域と、前記半導体層の表面に前記第1半導体領域と分離して形成された第1導電型の第2半導体領域と、前記第1半導体領域上に接触しかつ前記第2半導体領域上方への延設された導電層と、前記導電層と前記半導体層ならびに前記第2半導体領域との間に形成された絶縁層と、前記導電層直下の前記絶縁層中に、前記第2半導体領域に面する位置から前記第1半導体領域の方向に向って、隣接するもの相互の結合容量が前記第2半導体領域から離れるに従って減少するように整列配置された複数の導電プレートとを備える、半導体装置における電界集中防止構造。

【請求項5】第1導電型の半導体層と、前記半導体層の表面に形成された第2導電型の第1半導体領域と、前記半導体層の表面に前記第1半導体領域と分離して形成された第1導電型の第2半導体領域と、前記第1半導体領域上に接触しかつ前記第2半導体領域上方へと延設された導電層と、前記導電層と前記半導体層ならびに前記第2半導体領域との間に形成された絶縁層と、前記導電層直下の前記半導体層表面に、前記第2半導体領域近傍から前記第1半導体領域の方向に向って、隣接するもの相互の結合容量が前記第2半導体領域から離れるに従って減少するように整列配置された複数の第2導電型のフローティング半導体領域とを備える、半導体装置における電界集中防止構造。

【請求項6】第1導電型の半導体層と、前記半導体層の表面に形成された第2導電型の第1半導体領域と、前記半導体層の表面に前記第1半導体領域と分離して形成された第1導電型の第2半導体領域と、前記第1半導体領域上に接触しかつ前記第2半導体領域上方へと延設された導電層と、前記導電層と前記半導体層ならびに前記第2半導体領域との間に形成された絶縁層と、前記導電層直下の前記絶縁層中に形成された少なくとも1つの導電プレートと、前記導電層直下の前記半導体層中に形成された少なくとも1つの第2導電型のフローティング半導体領域とを備え、前記導電プレートおよび前記フローティング半導体領域は、前記第2半導体領域近傍から前記第1半導体領域の方向に向って、隣接するもの相互の結合容量が前記第2半導体領域から離れるに従って減少するよう交互に整列配置される、半導体装置における電界集中防止構造。

#### 【発明の詳細な説明】

#### 【産業上の利用分野】

この発明は、半導体装置の表面に設けられた配線等の導電層からの電界の影響によりその下の半導体層表面において電界集中が生じるのを防止するための電界集中防止構造に関する。

#### 【従来の技術】

第13A図および第13B図はそれぞれ、従来の半導体装置における電界集中防止構造を示す平面図および断面図である。第13B図の断面図は、第13A図の平面図のA-A線に沿ったものである。

図示のように、n<sup>-</sup>半導体基板1の表面に、p拡散領域2とn<sup>+</sup>拡散領域3とが離れて形成されている。配線等の導電層4はn<sup>+</sup>拡散領域3とコンタクトし、n<sup>-</sup>半導体基板1およびp拡散領域2とは絶縁層5により絶縁されている。導電層4直下の絶縁層5中には導電プレート6a～6eが整列配置されている。左側の導電プレート6eはp拡散領域2にコンタクトされ、他の導電プレート6a～6dは絶縁層5中でフローエイシング状態に保たれている。隣接する導電プレートの端部はオーバラップさせてある。

導電プレート6aと6b、6bと6c、6cと6d、6dと6eはそれぞれ容量結合している。また導電層4と各導電プレート6a～6eも容量結合している。

p拡散領域2を低電位、n<sup>+</sup>拡散領域3を高電位にすると、n<sup>-</sup>半導体基板1とp拡散領域2のpnに接合界面から空乏層が伸びる。p拡散領域2、n<sup>+</sup>拡散領域3間のn<sup>-</sup>半導体基板1がほぼ全部、空乏化することにより、高耐圧が実現される。第14図の点線は、導電層4か無い場合の、n<sup>-</sup>半導体基板1の空乏化領域における等電位線を示す。空乏層はn<sup>-</sup>半導体基板1の表面において横方向に、制約なく伸びるので、n<sup>-</sup>半導体基板1表面での

電界集中は生じない。

一方、高電位の導電層4が有ると、導電プレート6a～6eとが無い場合、導電層4からの電界の影響により、n<sup>-</sup>半導体基板1の表面での空乏層の横方向の伸びが抑制される。このため、n<sup>-</sup>半導体基板1の空乏化領域における等電位線は第15図の点線に示すようになり、n<sup>-</sup>半導体基板1表面で電界集中が発生し、耐圧が低下してしまう。これを防止するために導電プレート6a～6eが設けてある。

いま、導電プレート6a～6e間の結合容量および導電層4と導電プレート6aとの間の結合容量が、導電層4と導電プレート6b～6eとの間の結合容量よりも十分に大きいものとすると、導電プレート6a～6eの各電位は、p拡散領域2とn<sup>+</sup>拡散領域3との間の電位差の容量分割により、導電プレート6eから導電プレート6aに向かって順に高くなっていく。これによりn<sup>-</sup>半導体基板1の表面において空乏層が右側(n<sup>+</sup>拡散領域3側)に伸び易くなり、n<sup>-</sup>半導体基板1表面での電界集中が緩和される。

[発明が解決しようとする課題]

従来の半導体装置における電界集中防止構造は以上のように構成されており、n<sup>-</sup>半導体基板1表面での電界集中を有効に緩和するためには、導電プレート6a～6e間の結合容量および導電層4と導電プレート6eとの間の結合容量が導電層4と導電プレート6b～6eとの間の結合容量よりも十分大きいことが必要である。ところが、これを実現するためには、導電層4と導電プレート6b～6eとの間に介在する絶縁層5の厚みを、一般に用いられる絶縁層の厚みよりも極めて厚くしなければならず、絶縁層5の形成が困難となる。このため、容易に形成可能な厚みの絶縁層5を用いた場合には、n<sup>-</sup>半導体基板1表面での電界集中防止効果が十分に得られないという問題点があった。

この発明は上記のような問題点を解消するためになされたもので、普通の厚みの絶縁層を用いても導電層直下の半導体層表面での電界集中の発生を有効に防止するとのできる電界集中防止構造を得ることを目的とする。

[課題を解決するための手段]

第1の発明に係る電界集中防止構造は、第1導電型の半導体層と、この半導体層の表面に分離して形成された第2導電型の第1半導体領域および第1導電型の第2半導体領域と、第2半導体領域上に接触しかつ第1半導体領域上方へと延設された導電層と、この導電層と半導体層ならびに第1半導体領域との間に形成された絶縁層と、導電層直下の絶縁層中に、第1半導体領域に面する位置から第2半導体領域の方向に向って、隣接するもの相互の結合容量が第1半導体領域から離れるに従って減少するように整列配置された複数の導電プレートとを備えて構成されている。

第2の発明に係る電界集中防止構造は、第1導電型の半導体層と、この半導体層の表面に分離して形成された

第2導電型の第1半導体領域および第1導電型の第2半導体領域と、第2半導体領域上に接触しかつ第1半導体領域上方へと延設された導電層と、この導電層と半導体層ならびに第1半導体領域との間に形成された絶縁層と、導電層直下の半導体層表面に、第1半導体領域近傍から第2半導体領域の方向に向って、隣接するもの相互の結合容量が第1半導体領域から離れるに従って減少するように整列配置された複数の第2導電型のフローティング半導体領域とを備えて構成されている。

第3の発明に係る電界集中防止構造は、第1導電型の半導体層と、この半導体層の表面に分離して形成された第2導電型の第1半導体領域および第1導電型の第2半導体領域と、第2半導体領域上に接触しかつ第1半導体領域上方へと延設された導電層と、この導電層と半導体層ならびに第1半導体領域との間に形成された絶縁層と、導電層直下の絶縁層中に形成された少なくとも1つの導電プレートと、導電層直下の半導体層中に形成された少なくとも1つの第2導電型のフローティング半導体領域とを備え、導電プレートおよびフローティング半導体領域は、第1半導体領域近傍から第2半導体領域の方向に向って、隣接するもの相互の接合容量が第1半導体領域から離れるに従って減少するように交互に整列配置されて構成されている。

第4の発明に係る電界集中防止構造は、第1導電型の半導体層と、この半導体層の表面に分離して形成された第2導電型の第1半導体領域および第1導電型の第2半導体領域と、第1半導体領域上に接触しかつ第2半導体領域上方へと延設された導電層と、この導電層と半導体層ならびに第2半導体領域との間に形成された絶縁層と、導電層直下の絶縁層中に、第2半導体領域に面する位置から第1半導体領域の方向に向って、隣接するもの相互の結合容量が第2半導体領域から離れるに従って減少するように整列配置された複数の導電プレートとを備えて構成されている。

第5の発明に係る電界集中防止構造は、第1導電型の半導体層と、この半導体層の表面に分離して形成された第2導電型の第1半導体領域および第1導電型の第2半導体領域と、第1半導体領域上に接触しかつ第2半導体領域上方へと延設された導電層と、この導電層と半導体層ならびに第2半導体領域との間に形成された絶縁層と、導電層直下の半導体層表面に、第2半導体領域近傍から第1半導体領域の方向に向って、隣接するもの相互の結合容量が第2半導体領域から離れるに従って減少するように整列配置された複数の第2導電型のフローティング半導体領域とを備えて構成されている。

第6の発明に係る電界集中防止構造は、第1導電型の半導体層と、この半導体層の表面に分離して形成された第2導電型の第1半導体領域および第1導電型の第2半導体領域と、第1半導体領域上に接触しかつ第2半導体領域上方へと延設された導電層と、この導電層と半導体層

層ならびに第2半導体領域との間に形成された絶縁層と、導電層直下の絶縁層中に形成された少なくとも1つの導電プレートと、導電層直下の半導体層中に形成された少なくとも1つの第2導電型のフローティング半導体領域とを備え、導電プレートおよびフローティング半導体領域は、第2半導体領域近傍から第1半導体領域の方向に向って、隣接するもの相互の結合容量が第2半導体領域から離れるに従って減少するように交互に整列配置されて構成されている。

## 〔作用〕

第1の発明における導電プレート、第2の発明におけるフローティング半導体領域、第3の発明における導電プレートおよびフローティング半導体領域は、隣接するもの相互の結合容量が第1半導体領域から離れるに従って減少するように整列配置してある。また、第4の発明における導電プレート、第5の発明におけるフローティング半導体領域、第6の発明における導電プレートおよびフローティング半導体領域は、隣接するもの相互の結合容量が第2半導体領域から離れるに従って減少するように整列配置してある。これにより、導電プレートやフローティング半導体領域の各電位を直線的に（すなわち等電位差）変化させることができ、これに応じた電位分布を半導体層の表面に実現できる。

## 〔実施例〕

第1A図および第1B図はそれぞれこの発明による半導体装置における電界集中防止構造の一実施例を示す平面図および断面図である。第1A図のB-B線に沿った断面図が第1B図に相当する。

$$b_1 = \frac{a_1 \cdot V_1}{V_x} \quad \dots (2)$$

$$b_{k+1} = \frac{a_{k+1} \cdot (V_x \cdot k + V_1)}{V_x} + b_k \quad \dots (3)$$

ここで、

$a_k$ :導電層14と右からk番目の導電プレート16a～16eとの間の結合容量

$b_k$ :右からk番目とk+1番目の導電プレート16a～16eとの間の結合容量

$$V_x = \frac{V_a - V_b - V_1}{n} \quad \dots (4)$$

の一定値である。ここで、

$V_a$ :導電層14の電位

$V_b$ :p拡散領域12の電位

図示のように、n<sup>-</sup>半導体基板11の表面に、p拡散領域12とn<sup>+</sup>拡散領域13とが離れて形成されている。n<sup>+</sup>拡散領域13は、配線等の導電層14のn<sup>-</sup>半導体基板11との電気的接続のための領域として働く。導電層14はn<sup>+</sup>拡散領域13とコンタクトし、n<sup>-</sup>半導体基板11およびp拡散領域12とは絶縁層15により絶縁されている。導電層14直下の絶縁層15中には導電プレート16a～16eが整列配置されている。左端の導電プレート16eはp拡散領域に12にコンタクトされ、他の導電プレート16a～16dは絶縁層15中でフローティング状態に保たれている。隣接する導電プレートの端部はオーバラップさせてある。この目的で、導電プレート16bおよび16dの両端は上方に段階状に折り曲げられた構造となっている。

導電プレート16aと16b、16bと16c、16cと16d、16dと16eはそれぞれ容量結合している。また導電層14と各導電層16a～16eも容量結合している。いま、導電プレート16aと16bの間の結合容量をb<sub>1</sub>、導電プレート16bと16cの間の結合容量をb<sub>2</sub>、導電プレート16cと16dの間の結合容量をb<sub>3</sub>、導電プレート16dと16eの間の結合容量をb<sub>4</sub>とすると、

$$b_4 > b_3 > b_2 > b_1 \quad \dots (1)$$

となるように設定される。この目的で、第1A図に示すように、導電プレート16a～16eのサイズを導電プレート16eから16aに向って順に小さくし、隣接する導電プレート端部のオーバラップ面積が順に小さくなるようにしてある。

結合容量b<sub>1</sub>～b<sub>4</sub>は、望ましくは次の漸化式に従って決定される。

$V_1$ :容量a<sub>1</sub>にかかる電圧（すなわち右端の導電プレート16aに対する導電層14の電位）

$V_x$ :容量b<sub>k</sub>にかかる電圧（すなわち隣接する導電プレート16a～16e間の電位差）  
である。なお上記V<sub>x</sub>は

n:導電プレートの数

である。

$a_k, V_1, V_x$ を設計から予め決めておき、上記(2)

(3) の漸化式を解くことにより  $b_k$  を求める。そして、その  $b_k$  が実現できるように、隣接する導電プレート  $16a \sim 16e$  間のオーバラップ面積を決定する。

(2) ~ (4) 式に従って、第1A図、第1B図の電界集中防止構造を構成した場合、(4) 式の条件より、隣接する導電プレート  $16a \sim 16e$  間の電位差は均一となる。すなわち、p 拡散領域12を低電位、n<sup>+</sup>拡散領域13(導電層14)を高電位にすると、導電プレート  $16a \sim 16e$  の電位は、導電プレート  $16e$  から導電プレート  $16a$  の順に、p 拡散領域12の電位(低電位)から導電層14の電位(高電位)に向って、直線的に高くなる。このため、導電プレート  $16a \sim 16e$  直下のn<sup>-</sup>半導体基板11の表面電位もこれに応じたものとなる。つまり、n<sup>-</sup>半導体基板11とp 拡散領域12のpn接合界面から伸びる空乏層は、n<sup>-</sup>半導体基板11の表面において左方向(p 拡散領域12の方向)に集中することなく、右方向(n<sup>+</sup>拡散領域13の方向)に均一に伸びることができる。第2図の点線は、n<sup>-</sup>半導体基板11の空乏化領域における等電位線を示す。このようにして、n<sup>-</sup>半導体基板11の表面において電界集中が生じるのを有

$$C_{k+1} = a_{k+1} + \frac{C_k \cdot b_k}{C_k + b_k} \quad \dots (6)$$

また、電荷保存の法則から次式が得られる。

$$C_k \cdot V_k = b_k \cdot (V_{k+1} - V_k) \quad \dots (7)$$

(7) 式より、

$$V_{k+1} - V_k = C_k \cdot V_k / b_k \quad \dots (8)$$

を得る。

ここで、

$$C_k \cdot V_k / b_k = (V_a - V_b - V_1) / n = V_x (= \text{const.}) \quad \dots$$

$$C_k = \frac{b_k \cdot V_x}{V_x \cdot (k-1) + V_1} \quad \dots (11)$$

を得る。また、(11) 式で  $k = k+1$  とおくことにより

$$C_{k+1} = \frac{b_{k+1} \cdot V_x}{V_x \cdot k + V_1} \quad \dots (12)$$

を得る。

効に防止することができる。

次に、上記(2)、(3)の漸化式がどの様にして導出されるのかを以下に示す。第3図は、第1A図、第1B図の構造の等価回路を示す回路図である。第3図において、導電プレートは  $n$  枚あるものとし、n<sup>+</sup>拡散領域13に近い順に  $16_1, 16_2, 16_3, \dots, 16_{n-1}, 16_n$  の番号を付している。a<sub>k</sub> ( $k = 1 \sim n$ ) は導電層14と導電プレート  $16_k$  との間の容量であり、b<sub>k</sub> は隣接する導電プレート  $16_k$  と  $16_{k+1}$  の間の容量である。ただし、b<sub>n</sub> は導電プレート  $16_n$  と p 拡散領域12の間の容量である。V<sub>a</sub> は n<sup>+</sup>拡散領域13および導電層14の電位、V<sub>b</sub> は p 拡散領域12の電位である。また、V<sub>k</sub> は容量 a<sub>k</sub> にかかる電位差であり、すなわち導電プレート  $16_k$  に対する導電層14の電位である。C<sub>k</sub> は一点鎖線で囲まれた部分の合成容量である。なお、導電層14、導電プレート  $16$  と n<sup>-</sup>半導体基板11との間の容量は、電圧保持状態において n<sup>-</sup>半導体基板11の表面付近が空乏化することによりほとんど無視できるものとする。

合成容量の関係から次式が得られる。

$$C_1 = a_1 \quad \dots (5)$$

(9)

と置く。すなわち、隣接する導電プレート  $16_k$  と  $16_{k+1}$  の間の電位差を一定とする。すると、等差数列に和より、  
 $V_k = V_x \cdot (k-1) + V_1 \quad \dots (10)$   
 となる。

(10) 式を (7) 式に代入することにより、

について解くことにより、

$$b_{k+1} = \frac{a_{k+1} \cdot (V_x \cdot k + V_1)}{V_x} + b_k \quad \dots (13)$$

を得る。この(13)式は前掲の(3)式と同じである。

また、(5)式と(9)式より

$$b_1 = \frac{c_1 \cdot v_1}{v_x} = \frac{a_1 \cdot v_1}{v_x} \quad \dots (14)$$

を得る。この(14)式は前掲の(2)式と同じである。

よって、 $a_k$  ( $k = 1 \sim n$ ) が既知であれば、任意の $v_1$ について、(13)式と(14)式の漸化式を解くことにより $b_k$  ( $k = 1 \sim n$ ) が求まるので、この $b_k$ の値に従って導電層14と導電プレート16の設計をすることによって、 $n^-$ 半導体基板1表面での電界集中を有効に防ぐことができる。

(13)式を見ると、隣接する導電プレート $16_k$ と $16_{k+1}$ の間の容量 $b_k$ は、 $k$ が大きくなるに従って(すなわち $p$ 拡散領域12に近づくに従って)大きくする必要があることがわかる。言い換えれば、第1B図に構造において、隣接する導電プレート $16a \sim 16e$ の間の容量を(1)式に示すように $p$ 拡散領域12から離れるに従って減少させることができ、一般的な厚みの絶縁層15を用いて電界集中防止構造を形成する際の最適化の必要な条件なのである。

第4A図はこの発明による電界集中防止構造の他の実施例を示す平面図、第4B図はそのB-B線に沿った断面構造を示す断面図である。この実施例では、第1A図、第1B図の導電プレート $16b, 16d$ の代りに、フローティング $p$ 拡散領域 $17b, 17d$ を用いている。フローティング $p$ 拡散領域 $17b, 17d$ はそれぞれ、導電プレート $16a$ と $16c$ の間および $16c$ と $16e$ の間に応する $n^-$ 半導体基板11の表面に形成されている。導電プレート $16a, 16c, 16d$ とフローティング $p$ 拡散領域 $17b, 17d$ の隣接端部間は、第1A図、第1B図の実施例と同様にオーバラップさせてある。こうすることにより、導電プレート $16a, 16c, 16d$ とフローティング $p$ 拡散領域 $17b, 17d$ の間の結合容量により、これらの電位を第1A図、第1B図の実施例と同様に固定することができ、上述したのと同様の効果が得られる。

第5A図はこの発明による電界集中防止構造のさらに他の実施例を示す平面図、第5B図はそのB-B線に沿った断面構造を示す断面図である。この実施例では、第1A図、第1B図の導電プレート $16a \sim 16e$ の代りに、フローティング $p$ 拡散領域 $17a \sim 17d$ を用いている。フローティング $p$ 拡散領域 $17d \sim 17a$ は、 $p$ 拡散領域12の近傍から $n^+$ 拡散領域13の方向に向って、導電層14直下の $n^-$ 半導体基板11表面に比較的狭い間隔で整列配置してある。フローティング $p$ 拡散領域 $17d \sim 17a$ は順に小サイズに形成しており、これにより隣接するフローティング $p$ 拡散領域間の結合容量も $p$ 拡散領域12から離れるに従って減少していく。これにより、フローティング $p$ 拡散領域 $17a \sim 17d$ の電位を第1A図、第1B図の実施例の導電プレート $16a \sim 16e$ と同様に固定することが可能となり、上述したのと同様の効果が得られる。

なお、第1A図、第1B図の実施例あるいは第4A図、第4B図の実施例では、結合容量を漸減させるために、導電ブ

レート $16e \sim 16a$ 、フローティング $p$ 拡散領域 $17d, 17b$ のサイズを漸減させることによりオーバラップ面積を漸減させたが、第6A図、第6B図あるいは第7A図、第7B図に示すように、導電プレート $16e \sim 16a$ 、フローティング $p$ 拡散領域 $17d, 17b$ のサイズは同じで、それらの重なり幅を漸減させることによりオーバラップ面積を漸減させてもよい。

また、上記各実施例では導電層14が、高電圧が印加される $n^+$ 拡散領域13にコンタクトした場合について説明したが、第8A図、第8B図ないし第12A図、第12B図の実施例に示すように、導電層14は低電圧が印加される $p$ 拡散領域12にコンタクトしてもよい。これらの各実施例は、それぞれ、第1A図、第1B図の実施例および第4A図、第4B図ないし第7A図、第7B図の実施例に対応するものである。これらの各実施例において、導電層14からの電界は、 $n^-$ 半導体基板11表面において、 $n^-$ 半導体基板11と $p$ 拡散領域12のpn接合界面から伸びる空乏層を右方向( $n^+$ 拡散領域13方向)に不要に引き伸ばすように作用するが、等電位差に電位が固定された導電プレート $16a \sim 16e$ 、フローティング $p$ 拡散領域 $17a \sim 17d$ があることにより、 $n^-$ 半導体基板11表面での空乏層の伸びは適切なものに抑制される。その結果、例えば $n^+$ 拡散領域13の端部や角で電界集中が生じ耐圧が低下するのを防止することができる。

#### 【発明の効果】

以上説明したように、請求項1記載の発明における導電プレート、請求項2記載の発明におけるフローティング半導体領域、請求項3記載の発明における導電プレートおよびフローティング半導体領域は、隣接するもの相互の結合容量が第1半導体領域から離れるに従って減少するよう整列配置されており、また、請求項4記載の発明における導電プレート、請求項5記載の発明におけるフローティング半導体領域、請求項6記載の発明における導電プレートおよびフローティング半導体領域は、隣接するもの相互の結合容量が第2半導体領域から離れるに従って減少するよう整列配置されているので、導電プレートやフローティング半導体領域の各電位を直線的に(すなわち等電位差で)変化させることができ、これに応じた電位分布を半導体層表面に実現でき、その結果、この発明によれば、普通の厚みの絶縁層を用いても導電層直下の半導体層表面における電界集中を有効に防止することができるという効果がある。

#### 【図面の簡単な説明】

第1A図および第1B図はそれぞれこの発明による電界集中防止構造の一実施例を示す平面図および断面図、第2図はこの発明の構造による空乏化領域での等電位線を示す図、第3図はこの発明による構造の等価回路を示す回路

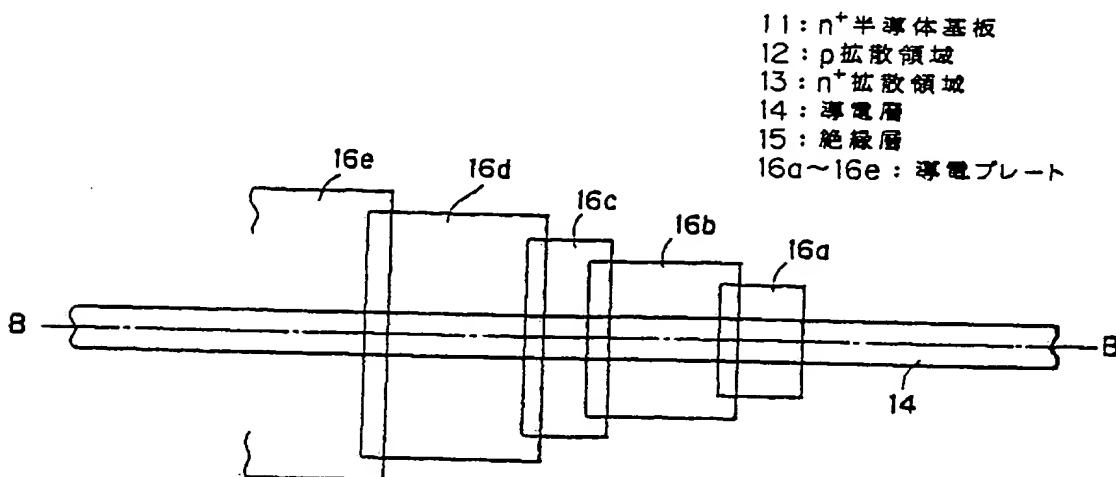
図、第4A図および第4B図から第12A図および第12B図まで  
はそれぞれこの発明による電界集中防止構造の他の実施  
例を示す平面図および断面図、第13A図および第13B図は  
それぞれ従来の電界集中防止構造を示す平面図および断  
面図、第14図は導電層が無い場合の空乏化領域における  
等電位線を示す図、第15図は導電等が有る場合の空乏化

領域における等電位線を示す図である。

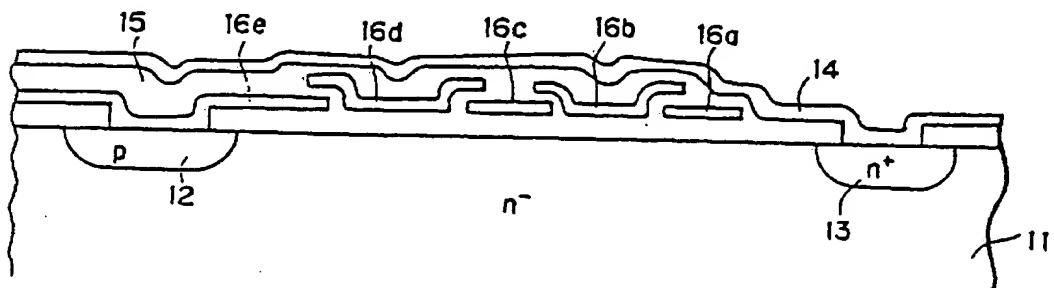
図において、11はn<sup>-</sup>半導体基板、12はp拡散領域、13は  
n<sup>+</sup>拡散領域、14は導電層、15は絶縁層、16a～16eは導電  
プレート、17a～17dはフローティングp拡散領域であ  
る。

なお、各図中同一符号は同一または相当部分を示す。

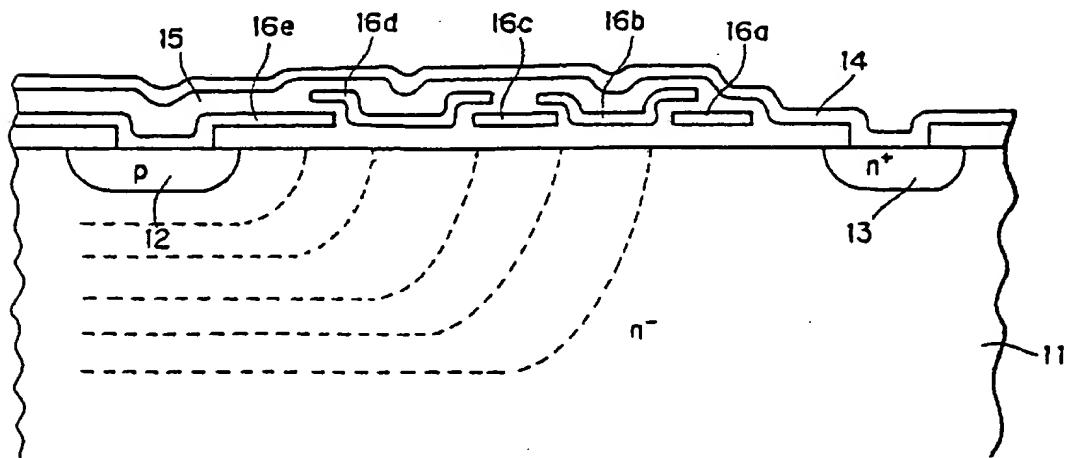
【第1A図】



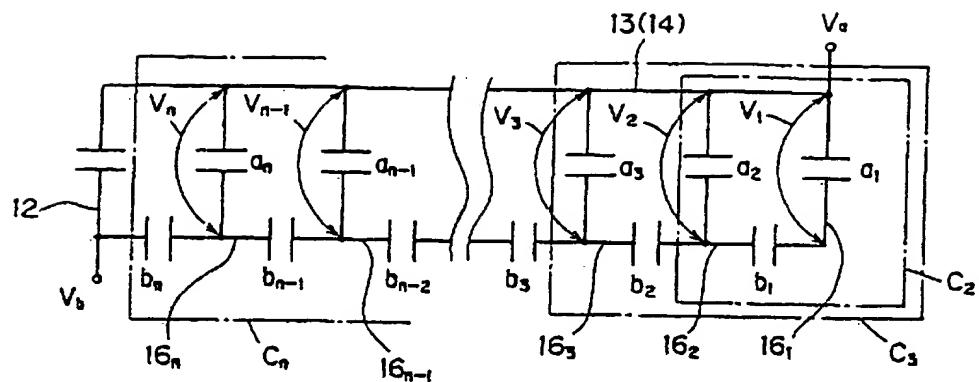
【第1B図】



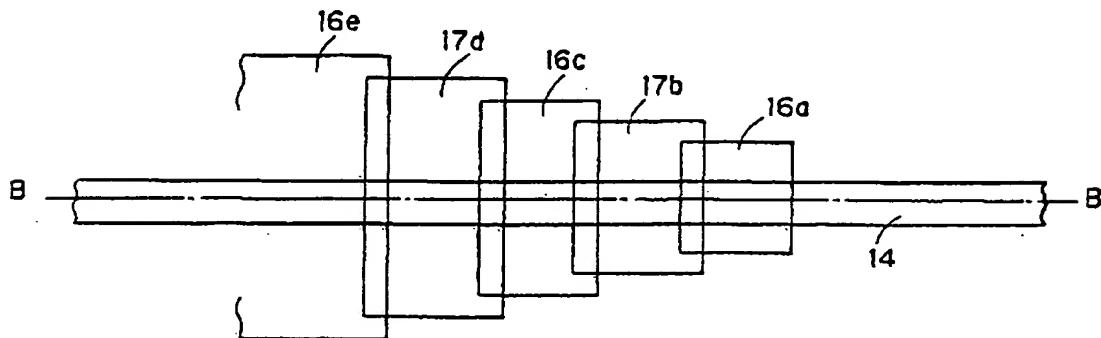
【第2図】



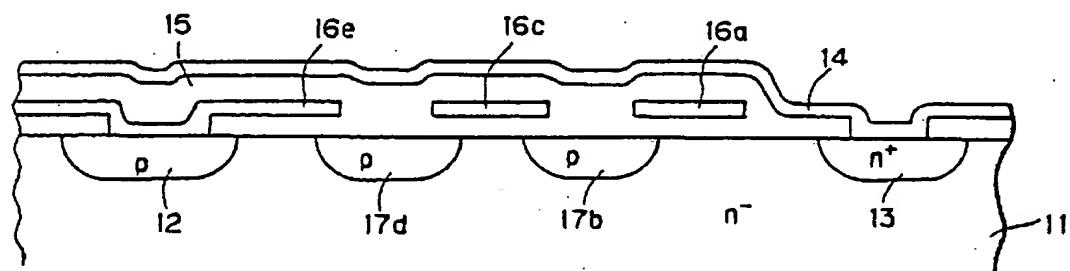
【第3図】



【第4A図】

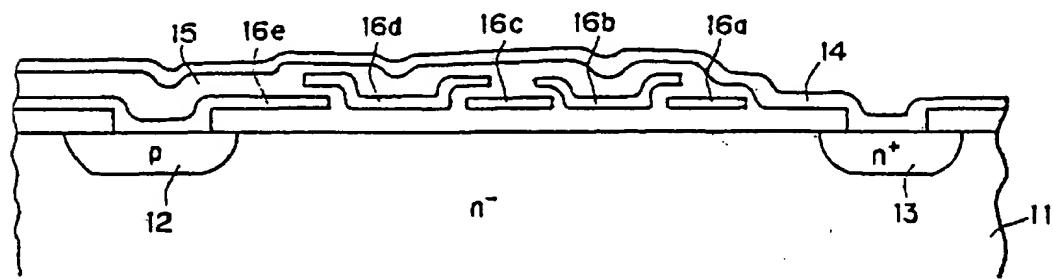


【第4B図】

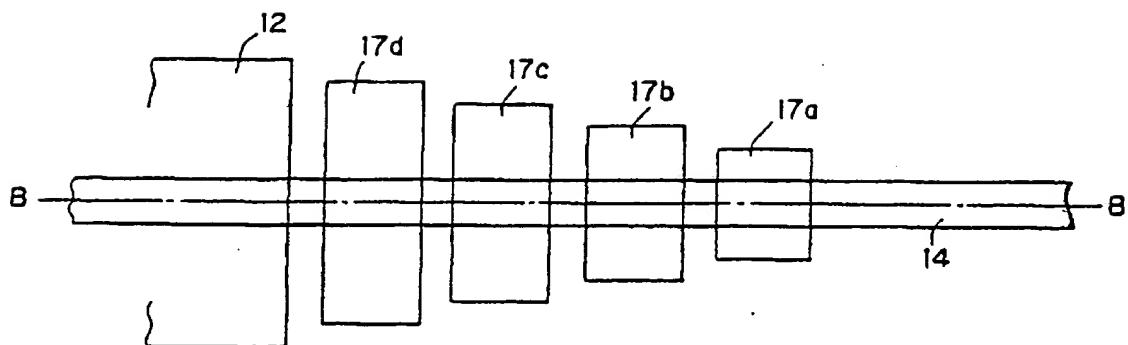


### 17b,17d : フロー ティング $\rho$ 拡散領域

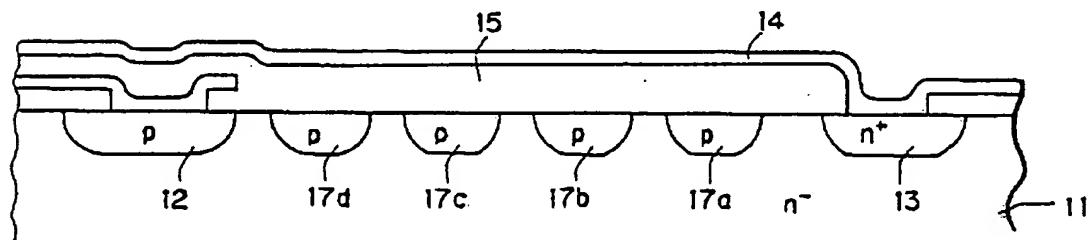
【第6B図】



【第5 A図】

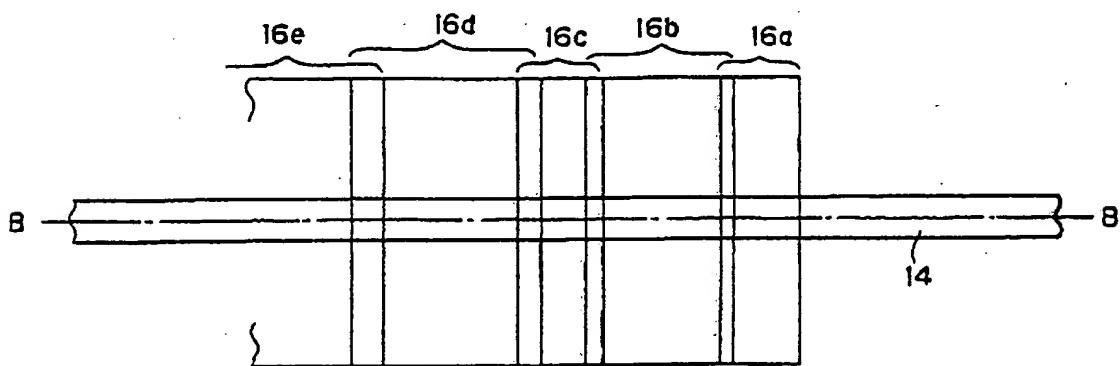


【第5 B図】

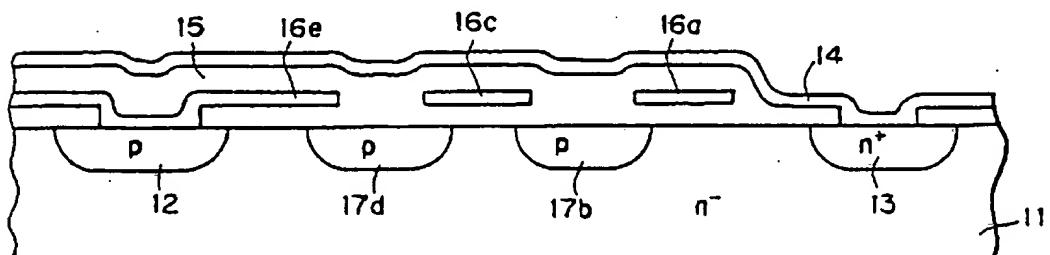


17a~17d: フロー・タイミングp拡散領域

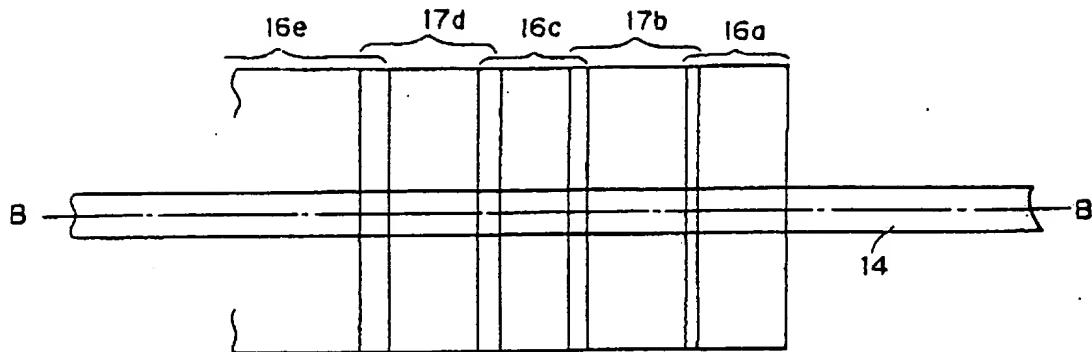
【第6 A図】



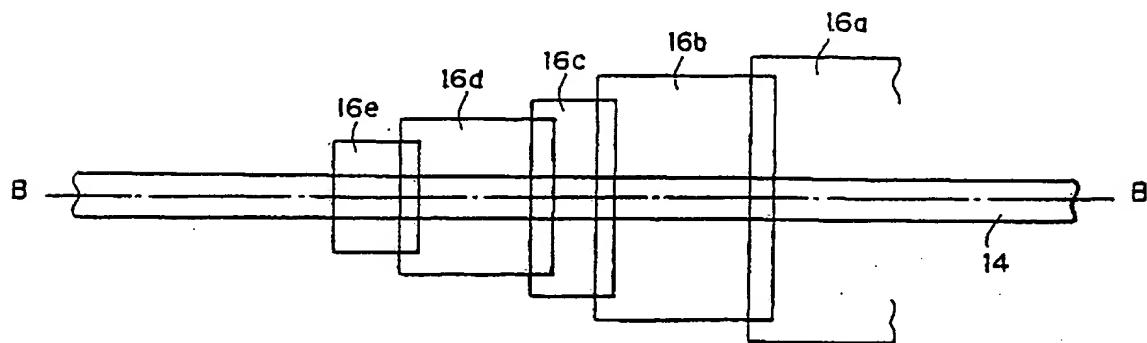
【第7 B図】



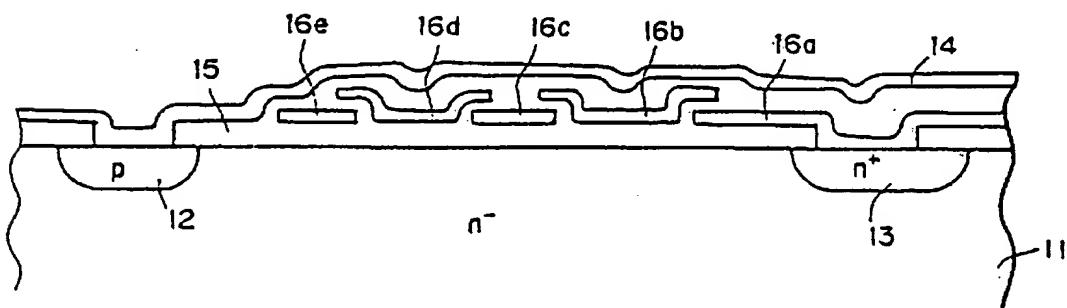
【第7 A図】



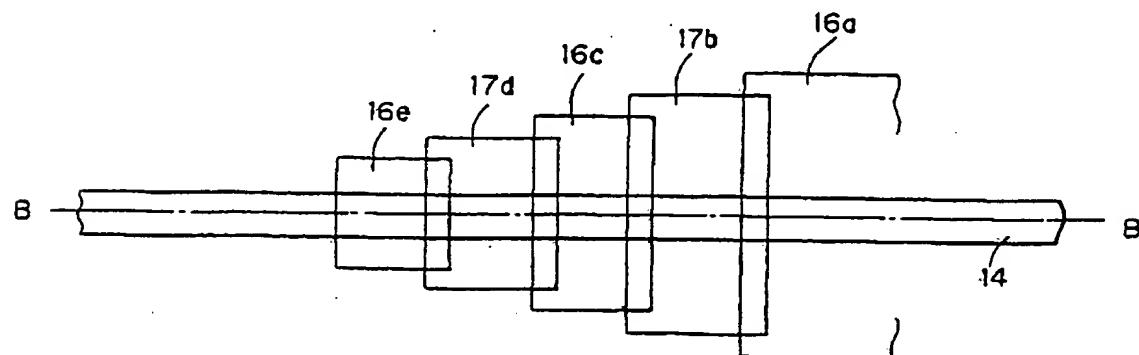
【第8 A図】



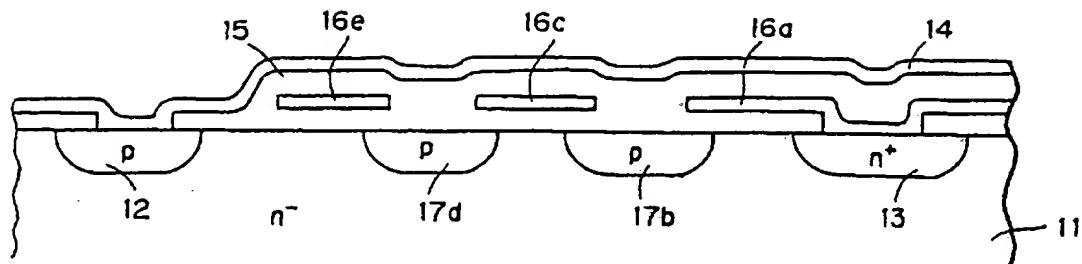
【第8 B図】



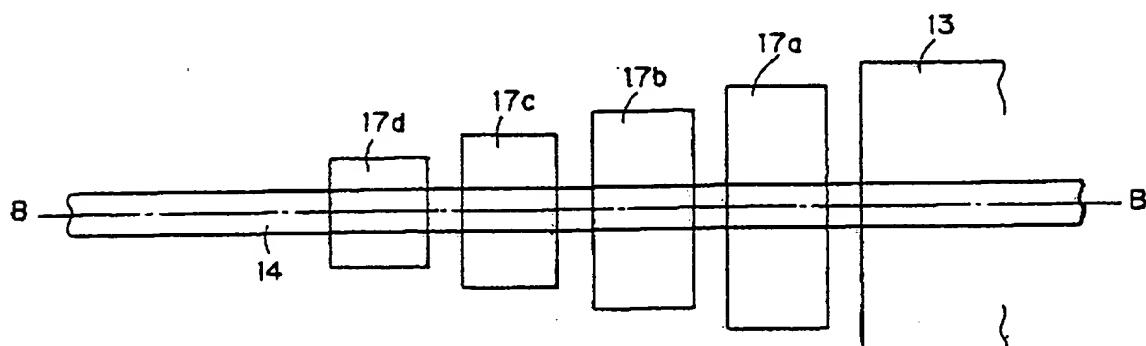
【第9 A図】



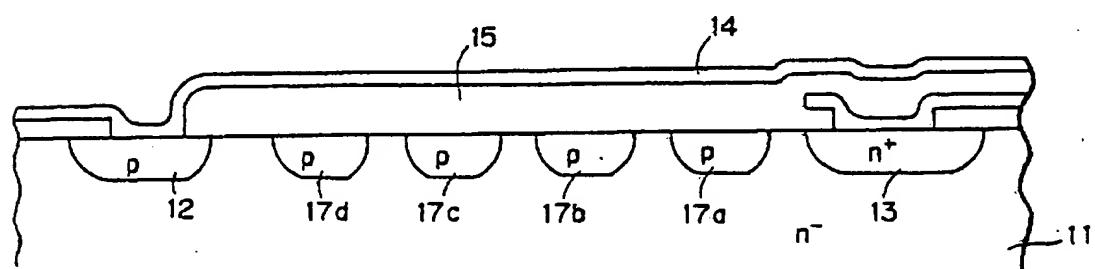
【第9B図】



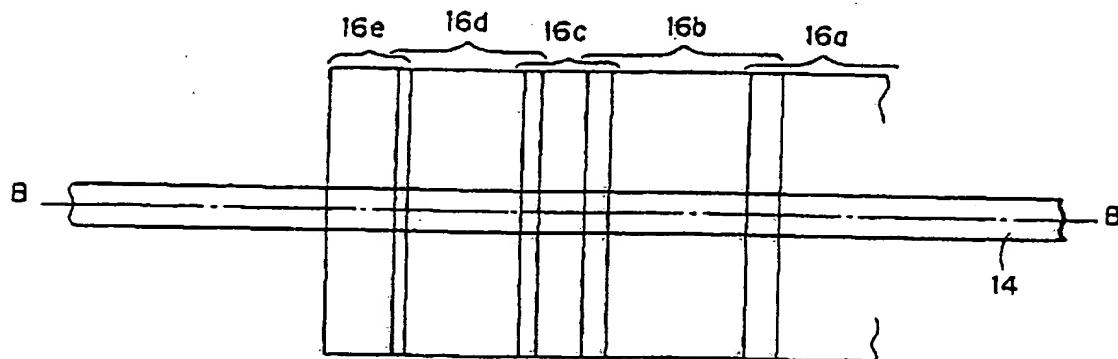
【第10A図】



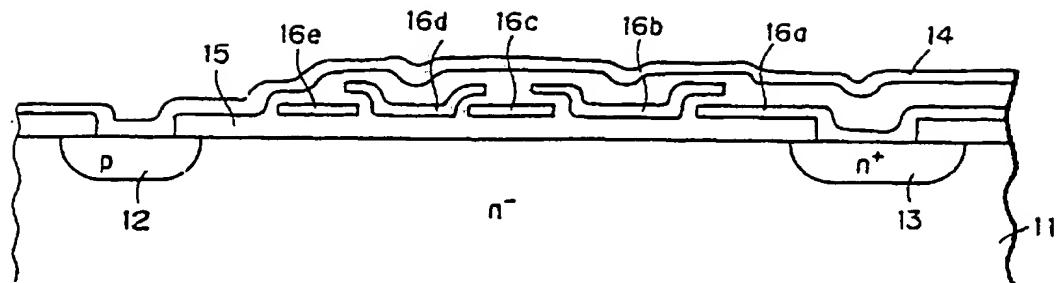
【第10B図】



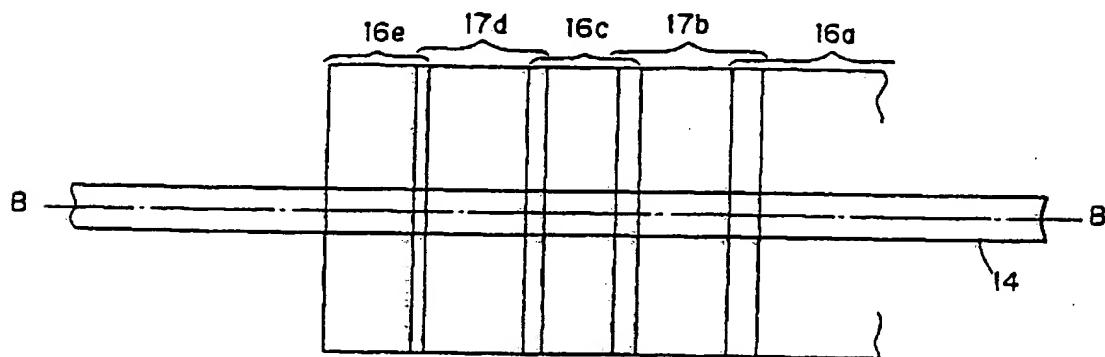
【第11A図】



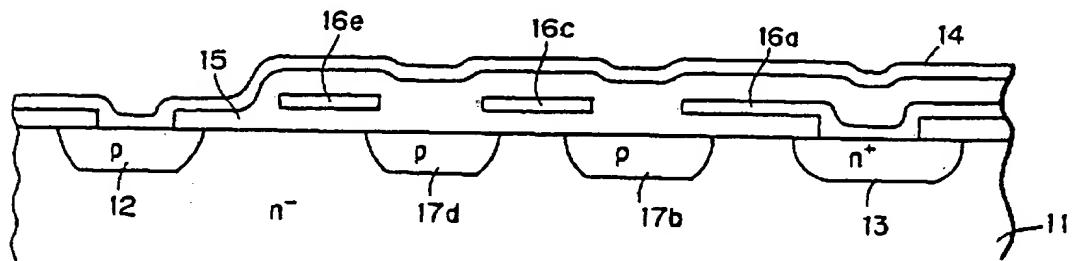
【第1 1 B図】



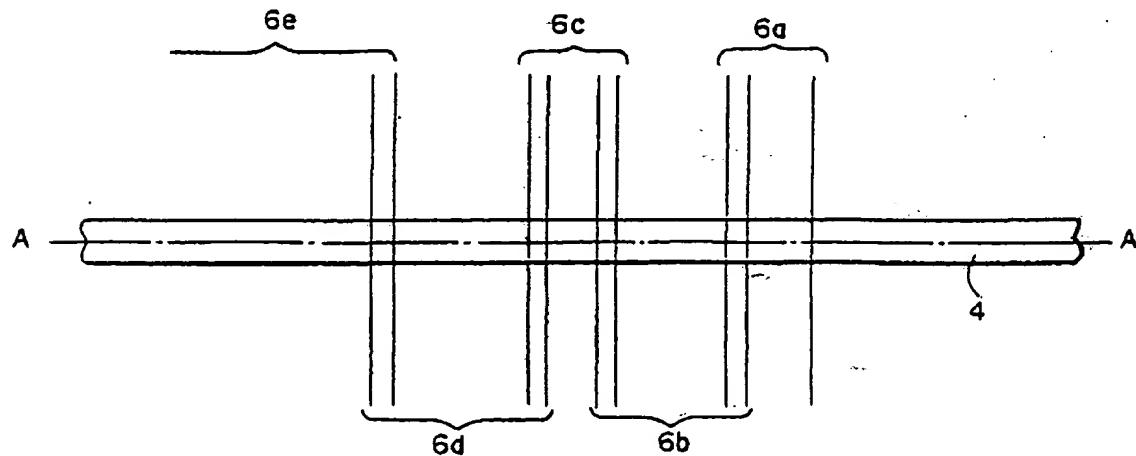
【第1 2 A図】



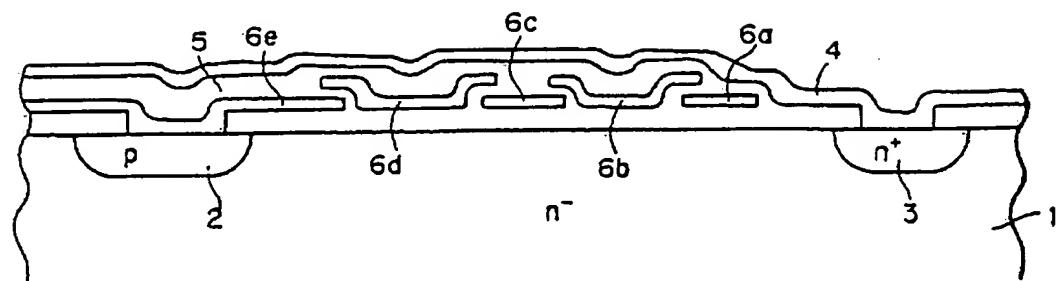
【第1 2 B図】



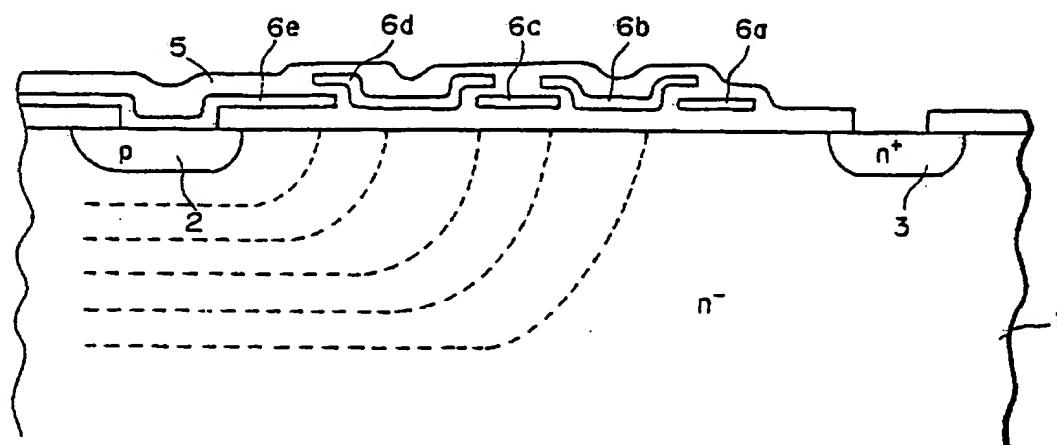
【第1 3 A図】



【第13B図】



【第14図】



【第15図】

